

esp@cenet document view

**VIDEO DISPLAY DEVICE**

Publication number: JP10232645

Publication date: 1998-09-02

Inventor: MOCHIZUKI KAZUO; OGAWA YASUNORI

Applicant: NIPPON ELECTRIC CO

Classification:

- International: G02F1/133; G09G3/20; G09G3/36; H04N5/66;  
H04N5/66; G02F1/13; G09G3/20; G09G3/36;  
H04N5/66; H04N5/66; (IPC1-7): H04N5/66; G09G3/20;  
G02F1/133; G09G3/36

- European:

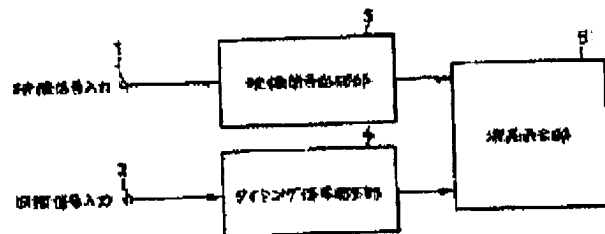
Application number: JP19970034175 19970219

Priority number(s): JP19970034175 19970219

Report a data error here

**Abstract of JP10232645**

**PROBLEM TO BE SOLVED:** To secure a sufficient charging time for picture element capacity for eliminating unevenness in non-effective display part, and to prevent one defective picture element from being displayed as a defective line by operating a drive control of a source and gate drivers for writing of frame display of a whole screen during plural vertical flyback periods. **SOLUTION:** Picture elements are constituted so that one defective picture element is prevented from being displayed as one defective line, by surely charging a picture element capacity of one picture element for electrification and making a gate line not effective at the same time. Namely, in order to write black in a frame display part which is a non-displayed part of a liquid crystal display part 5, and necessary clock is inputted up to an intended position during a vertical flyback period and black signal is written for a write time equivalent to that for a normal video signal. And then, the necessary clock is inputted up to a position for writing a video signal before the video signal starts, and the write position is determined. At this time, the black write position is configured so as to be sent for every vertical scanning period and return to the original position again in plural vertical scanning periods.



Data supplied from the esp@cenet database - Worldwide

esp@cenet document view

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-232645

(43) 公開日 平成10年(1998) 9月2日

(51) Int.Cl. <sup>8</sup>	識別記号	F I	
G 0 9 G 3/20		G 0 9 G 3/20	V
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5
G 0 9 G 3/36		G 0 9 G 3/36	
// H 0 4 N 5/68		H 0 4 N 5/68	B

審査請求 有 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平9-34175

(22) 出願日 平成9年(1997) 2月19日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 望月 和雄

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 小川 康則

東京都港区芝五丁目7番1号 日本電気株式会社内

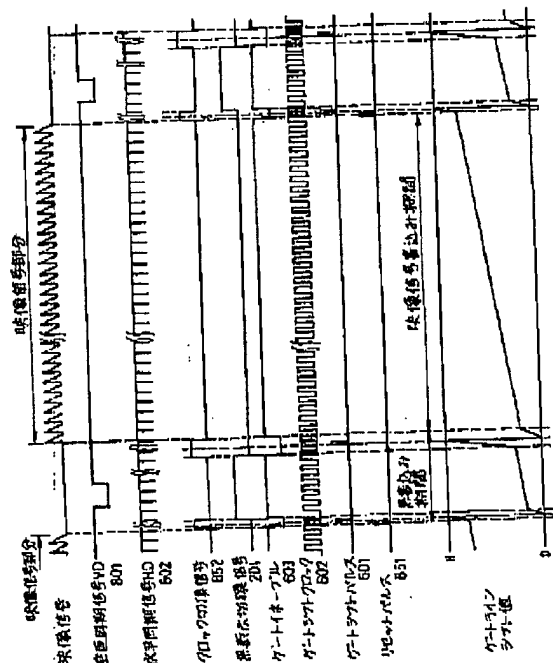
(74) 代理人 弁理士 ▲柳▼川 信

## (54) 【発明の名称】 映像表示装置

## (57) 【要約】

【課題】 ドットマトリックス状に配列された表示パネルにおいて、映像信号の画素数が表示パネルのそれよりも少ない場合に、周囲の枠表示をするとき、その枠表示に相当する表示素子へ十分な、例えば、黒書き込みを行い、表示むら等が生じないようにする。

【解決手段】 垂直帰線期間中に、ゲートラインの選択信号を、通常の水平同期パルスよりも高周波のクロックパルスに切換えて、数ラインずつ黒書き込みを行い、複数の垂直帰線期間で画面全体を書込むよう制御する。これにより、十分な黒枠表示が可能となり、むらなく表示可能となる。



(2)

特開平10-232645

## 【特許請求の範囲】

【請求項1】 ドットマトリックス状に表示画素が配列された表示パネルと、この表示画素のソースを選択するソースドライバと、前記表示画素のゲートを選択するゲートドライバとを含み、前記ソース及びゲートドライバにより選択された表示画素へ入力映像信号を供給することにより映像表示を行い、前記入力映像信号を表示する表示画素数が前記表示パネルの画素数よりも少ない場合に、枠表示をなすようにした映像表示装置であって、前記枠表示のための信号書き込みを、前記入力映像信号の各垂直帰線期間毎に所定水平ライン数ずつ行い、複数の垂直帰線期間で全画面の枠表示のための書き込みを行う様前記ソース及びゲートドライバの駆動制御をなす制御手段を含むことを特徴とする映像表示装置。

【請求項2】 前記制御手段は、垂直帰線期間の開始にตอบสนองして、予め定められた所定期間は前記水平同期パルスより高速のクロックパルスを前記ゲートドライバの駆動信号として選択して出力し、残余の期間は前記水平同期パルスを前記ゲートドライバの駆動信号として選択して出力するゲートドライバ駆動信号生成手段を有することを特徴とする請求項1記載の映像表示装置。

【請求項3】 前記制御手段は、前記ゲートドライバの駆動信号を計数する計数手段と、この計数値をデコードするデコード手段と、このデコード手段のデコード値を前記垂直帰線期間の開始毎に予め設定された値に変更する様制御するデコード値発生手段を有し、このデコード手段のデコード出力により前記駆動信号を選択するようにしたことを特徴とする請求項2記載の映像表示装置。

【請求項4】 前記枠表示用の信号は黒信号等の一定レベルの信号または他の模様等の信号であることを特徴とする請求項1または3記載の映像表示装置。

## 【発明の詳細な説明】

【0001】本発明は映像表示装置に関し、特に特にドットマトリックス状に表示画素が配列された液晶表示パネルを有し、入力映像信号を表示する表示画素が当該表示パネルの画素数よりも少ない場合に、枠表示をなすようにした映像表示装置に関するものである。

【従来の技術】液晶表示装置は、コンピュータ等のラスタスキャン表示方法を用いた信号を表示するため、水平方向の走査のために水平ドライバと垂直ドライバを設け、水平ドライバには映像信号を水平側各画素に展開するためのスイッチと映像信号を保持するための手段を持ち、垂直ドライバには、現在走査されている水平走査線位置に相当する液晶画素部分を書き込み可能とする信号を出力する機能を持たせ、上記信号を選択的に対応する液晶画素へ導き、表示を行う。

【0002】この時、コンピュータ等の信号で、液晶表示装置側の表示画素数（以下、液晶画素数）と表示すべき信号の画素数（以下、表示画素数）が一致しない場合

（以下、表示信号）で、一つの情報を複数の液晶表示装置の表示画素（以下、液晶画素）に送込んだり、画像の補完手段等を用いて液晶画素全体に拡大して投影する方法と、表示画素と液晶画素を1対1に対応させ、液晶画素の有効画面部分以外の部分を目立たない様に黒を表示する方法がある。

【0003】液晶表示素子は一般にノーマリホワイト型とノーマリブラック型があり、前者は、液晶に対して電界をかけない状態で光を透過し電界をかけると遮断するものであり、後者は、液晶に対して電界をかけない状態で光を遮断し電界をかけると透過するものである。この2つのタイプは夫々特徴があり、一般的に黒表示の品質を重視する場合は、ノーマリホワイト型が用いられる。

【0004】ノーマリホワイト型の液晶表示素子を使った場合は、表示画素と液晶画素を1対1に対応させ、液晶画素の有効画面部分以外の部分を目立たない様に黒を表示する方法にて表示をした場合に、有効表示期間以外の部分である、ブランキング期間に全ての有効画面以外の部分を黒で表示しなければならない。

【0005】有効画面以外の部分（以下、非有効表示部分）に黒を表示する時は、一般的に1垂直走査周期における水平または、垂直ブランキング期間に全ての黒部分を走査し、黒表示を行う。フレームメモリ等を用いて、画像を表示する時間軸を変換する方法においても、1垂直動作周期内に、映像信号以外の黒の部分全てを表示することに代わりはない。

【0006】また、既に公開されている特許として、特開平7-191630号公報の「LCDマルチシンクモニタ方法」があるが、これは、非有効表示部分の黒書き込みを高速で行うことを記載しているが、この方法では、本発明の目的である後述の問題点を解決できない。

## 【0007】

【発明が解決しようとする課題】フレームメモリ等を用いて映像信号の時間軸を変換する方式においては、時間軸を変換するフレームメモリが必要となり、特に表示画素数が増加すると必要とするメモリ量も飛躍的に増大し、コストアップの要因となる。

【0008】メモリ等を用いない方式では、表示信号の有効画面を液晶画素に表示する場合、垂直あるいは水平帰線期間で全ての非有効表示部分に黒を書き込む必要があるため、高速に書き込みを終了させなければならない。高速に書き込みを行うと、画素に導く黒を表示させる電圧が十分に画素電極並びに画素電極に接続された容量素子（画素電極並びに画素電極に接続された容量素子の容量成分。以下、画素容量）に電荷を充電させることができないことがある。

【0009】特に、最近ではCRTディスプレイの大画面フリッカを防止するために、垂直周波数を高くする傾向にあり、それに伴い水平周波数も高くなる。垂直・水平周波数が高くなると、黒書き込みを高速に行う場合に更に

(3)

特開平10-232645

時間的余裕がなくなるという状態になり、最悪の場合に非有効表示部分がムラのある状態になってしまう。

【0010】また、水平ドライバ側に電圧を保持するサンプルホールド機能と画素へ導く、いわゆるソースライン側へバッファアンプを介して電荷を供給せず、ソースライン電極とそれに接続された容量素子にソースライン側映像信号を充電し、その後各画素容量へ蓄積する方式の液晶表示素子においては、非表示部分への黒書き込み走査を複数の、各々の画素に備えられたTFT素子のゲート端子を制御する、いわゆるゲートラインを同時に有効とし、垂直方向に複数の画素に対して非有効表示部分の黒書き込み動作を行わせる場合に、万一、画素側電極と接地面や、ゲート電極等がショートする様な欠陥が発生した場合、1つの画素の欠陥がソースライン側に充電された電圧を放電または異なった電圧としてしまい、その結果、当該欠陥画素と同時にゲートラインを有効としていた画素全てに上記放電または異なった電圧を印加・充電してしまう。すると、異なった電圧は画面上で黒でなく、場合によっては白となり、この部分が縦方向に広がったいわゆる線欠陥として画面上に表示されてしまう。

【0011】本発明は上述課題を解決するために、非有効表示部分への黒信号書き込み手段について複数の垂直帰線期間によって、1画面内の該当部分への黒書き込みを行うことで、画素容量への十分は電荷充電時間を確保し、画面上で非有効表示部分がムラになることなく、1つの画素欠陥が線欠陥として表示されない様にした映像表示装置を提供することである。

【0012】

【課題を解決するための手段】本発明によれば、ドットマトリックス状に表示画素が配列された表示パネルと、この表示画素のソースを選択するソースドライバと、前記表示画素のゲートを選択するゲートドライバとを含み、前記ソース及びゲートドライバにより選択された表示画素へ入力映像信号を供給することにより映像表示を行い、前記入力映像信号を表示する表示画素数が前記表示パネルの画素数よりも少ない場合に、枠表示をなすようにした映像表示装置であって、前記枠表示のための信号書き込みを、前記入力映像信号の各垂直帰線期間毎に所定水平ライン数ずつ行い、複数の垂直帰線期間で全画面の枠表示のための書き込みを行う様前記ソース及びゲートドライバの駆動制御をなす制御手段を含むことを特徴とする映像表示装置が得られる。

【0013】本発明の作用を述べる。一垂直走査周期中の垂直水平帰線期間に全画面に亘って行われていた非有効表示部分（枠表示部分）への黒書き込み走査を、複数の垂直走査周期中の垂直帰線期間にて行う方法として、1画素当りの画素容量への電化の充電を確実にし、かつゲートラインを同時に複数有効としないようにして、1画素欠陥が線欠陥として表示されないように構成したものである。

【0014】更に述べると、液晶表示部の非表示部分である枠表示部分に黒を書込むために、垂直帰線期間に目的の位置まで所要クロックを入力して通常の映像信号と同等の書き込み時間で黒信号を書込み、その後映像信号を開始する以前に映像信号を書込む位置まで、所要クロックを入力して書き込み位置を決定する。このとき、黒書き込み位置は一垂直走査周期毎に送られていき、複数の垂直走査周期で再度最初の位置まで戻ってくるように構成している。

【0015】

【発明の実施の形態】以下に図面を参照しつつ本発明の実施例を説明する。

【0016】図1は本発明の全体のブロック図を表し、映像信号とそれに付随する同期信号の各入力端子1、2より夫々映像信号処理部3、タイミング信号発生部4を経て液晶表示部5を駆動する構成である。

【0017】図1の中の映像信号処理部3はその内部を図2に示す。映像信号入力202より入力された映像信号をスイッチ204で黒信号レベル発生205からの信号と黒信号切換信号201の信号により切換えられ、その出力が映像信号増幅器206に入力され、VT (Voltage-Transparency) 補正207、極性反転208を経て液晶パネル出力203より出力される。この構成によって、液晶パネルに映像信号か黒を表示する信号かを黒信号切換信号によって選択する様になっている。

【0018】映像信号増幅器206は液晶パネルに印加する映像信号のレベルを決定し、VT補正207により、液晶表示素子が固有に有している印加電圧対透過率特性の補正を行い、極性反転208により、液晶パネルの画素電極と対峙した共通電極との電位を交流状態に保つため、信号を共通電極に対して丁度逆極性となる様に極性反転を行う。

【0019】図3に単位時間毎に極性反転を行った波形を示す。極性反転は通常1水平走査周期または、1垂直走査周期毎に行われる。この図では、1水平周期毎に極性反転を行った例を示す。本来この極性反転回路には水平または垂直タイミング信号が必要であるが、これは機能の性質から自明であるため、特に記述しない。

【0020】図4に図1における液晶表示部の構成を示す。液晶表示部は映像信号をTFT液晶表示部406に導くためのソースドライバ404と、TFT液晶表示部406のトランジスタをオン・オフさせる目的のゲートドライバ405と、これ等各部405、404を駆動する駆動信号により構成される。TFT液晶表示部406は図5(A)、(B)に示す様に、映像信号を伝達するためのソースライン信号502とゲートライン信号501が表示画素の数だけマトリクス状に配置され、その交点にはTFT素子504と液晶画素503が配置される。図5(A)は物理的な配置を、図5(B)はその回路を示す。

(4)

特開平10-232645

【0021】ゲートドライバ405の構成を図6に示す。図4においてゲートドライバ駆動信号403としてまとめて記述した信号は、図6ではゲートシフトパルス入力601、ゲートシフトクロック入力602、ゲートイネーブル入力603に対応する。

【0022】ゲートライン信号501に順次信号を出力するために、本発明では、D-FF(Dタイプフリップフロップ)604をゲートライン信号の必要分並べて構成したシフトレジスタにより構成する。このシフトレジスタの出力をゲートイネーブル入力603によりAND素子605により出力するか否かを決定し、ゲートライン信号に送る。

【0023】ソースドライバ404の構成を図7に示す。図4においてソースドライバ駆動信号401としてまとめて記述した信号は、図7ではソースシフトクロック入力701、ソースシフトパルス入力702、ソースイネーブル入力703に対応する。

【0024】ソースドライバでは、映像信号入力402より入力された映像信号をトランジスタ706を介して電圧保持コンデンサ707に充電すると共に、ソースライン信号502へ供給する。トランジスタ706をオン・オフする信号はD-FF704をソースライン信号の必要分並べて構成したソフトレジスタに、ソースシフトクロックとソースシフトパルスを入力することで、順次発生した信号をソースイネーブル入力703からの信号でAND素子705により出力するか否かを決定する。本構成によって映像信号を液晶パネルの画素に導く仕組が実現される。

【0025】次に、タイミング信号発生部4の構成について図8に基づいて説明する。図8にタイミング信号発生部4の構成を示している。同期信号として垂直同期信号VDと水平同期信号HDを用いる。この構成では、VD、HDをそのままリセット信号または、クロック信号として用いているが、当然波形整形や、外部からの入力信号に基づいて装置内部にて再生したものでも代用できる。図8の動作に関するタイミングチャートを図9に示す。

【0026】VD入力801から入力された信号はカウンタ803をリセットする。カウンタ803はHD入力802の水平走査周期の信号をクロック信号として動作し、一定カウント毎に単パルス発生器804でメインカウンタ805のリセットパルス851を発生する。このリセットパルス851はデコード値発生器806にも入力され、デコード値更新のクロック信号としても用いられる。

【0027】リセットパルス851は図9に示す様に垂直同期信号から発生され、映像信号部分の終了した直後に発生される。メインカウンタ805は映像信号終了直後を基準位置としてカウントを開始する。メインカウン

図9に示す通りのタイミングでゲートシフトパルス601、ゲートイネーブル信号603、黒表示切換信号201、クロック切換信号852を発生する。このデコーダ807でのデコード値は、デコード値発生器806によりその状態を変化させる。図9における黒表示切換信号のHレベルの期間が実際に黒を表示している期間となる。

【0028】メインカウンタ805のクロックは、通常の映像信号書き込み期間と黒書き込み期間中の黒表示切換信号が有意の期間は、HD入力802からの信号を用い、黒書き込み期間のクロック切換信号が有意となる期間は、スイッチ809が高速クロック発生器808側を選択して高速なクロックを利用する。このクロックはゲートシフトクロック602としてそのまま用いる。

【0029】ソースシフトクロック701はHD入力802からの信号を基準としてPLL810を設けてその出力から得る。PLL810の出力をクロック信号としてカウンタ811でHD入力802をリセット信号として動作させ、デコーダ812でソースシフトパルス702、ソースイネーブル703を発生させる。ソースシフトパルスの位置で、実際に映像信号を液晶表示部に書き込む位置が決定される。ソースイネーブル703は、通常ゲートシフトクロックの変化点で無効となる様に発生する。

【0030】デコード値発生器806は、リセットパルス1個が入力される毎にその値を変化させ、図9におけるタイミング発生位置を順次変化させる。このための値は予め入力される信号の種類によって定められ、例えば黒表示切換信号のオン位置、オフ位置は、一垂直帰線期間につき5水平ライン毎の黒書き込みを行う場合には、垂直方向の画素数が640画素の場合、(オン位置、オフ位置) = (1, 5) → (6, 10) → (11, 15) → (16, 20) → …… → (636, 640) → (1, 5) となり、以降順次繰返していけば良い。この時、ここで示すデータは黒を表示すべき位置に設定することで黒表示を順次行う。デコード値発生器にてこのデータをデータの数だけシフトレジスタ等に記憶させ、リセットパルス851をクロック信号として順次送り出せば良い。

【0031】この時、データの数を極性反転の方法に合わせて1度書き込んだ黒信号を次に書き込む時に極性が反転している様に設定することも重要である。この方法は、例えば極性反転が1垂直走査周期毎に行われている場合は、奇数個のデータで1画面分の黒表示が行われる後にすれば、次に同じ場所に黒を書き込む時には必ず極性が反転していることになる。その他の反転方法においても、同様に設定を行えば問題ない。

【0032】デコード値発生器806はデータを全てシフトレジスタに持つ方式以外に、メモリにデータを持ち、順次データを読み出し、デコーダ807にセットする

(5)

特開平10-232645

回路を持つことでも実現できるし、読出しとデコーダ807へのデータのセットをCPUによって実現することも可能である。

【0033】図9において、ゲートラインシフト値は一垂直走査期間におけるゲートドライバのシフトレジスタのシフト値の変化をアナログ的に示したものである。

【0034】尚、枠表示としては、黒以外の他の色の一定レベルの信号や、それ以外の模様等の信号であっても良い。

【0035】他の実施例としては、ソースドライバやゲートドライバをシフトレジスタで構成しないものや、黒書き込みを1ラインずつではなく、数ラインずつ行う方法もある。目的の一つである欠陥画素が縦に大きく広がるのを防止する意味では、数ライン程度なら目立たない範囲内で黒書き込みを同時に行うこともできる。この場合はゲートシフトパルスを発生する際に数クロック分の幅を持って発生すれば実現できる。これ等は本発明の構成を若干変更あるいはデータを変更することで実現できる。

【0036】

【発明の効果】以上述べた如く、本発明によれば、有効表示画面以外の部分（枠表示部分）を黒または単色表示等とする場合に、一垂直帰線期間毎に1ないし数ラインずつの書き込みを行い、複数の垂直帰線期間で画面全体を書き込むことで、十分な黒書き込みを可能とすると共に、一面素の欠陥が線欠陥状態になる様な不具合を解消できるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施例が適用される映像表示装置の概略ブロック図である。

【図2】図1の映像信号処理部3のブロック図である。

【図3】映像信号の極性反転を説明する図である。

【図4】図1の液晶表示部5のブロック図である。

【図5】(A)はTFT液晶表示部を機械的観点から見

た図、(B)は同じく電気的観点から見た図である。

【図6】ゲートドライバの構成を示す図である。

【図7】ソースドライバの構成を示す図である。

【図8】図1のタイミング信号発生部4のブロック図である。

【図9】図8の動作を示す各部タイミングチャートである。

【符号の説明】

3 映像信号処理部

4 タイミング信号処理部

5 液晶表示部

204 スイッチ

205 黒信号レベル発生器

206 映像信号増幅器

207 VT補正器

208 極性反転器

404 ソースドライバ

405 ゲートドライバ

406 TFT液晶表示部

503 液晶画素

504 TFT素子

604, 704 D-FF

605, 705 AND素子

706 トランジスタ

707 電圧保持コンデンサ

803, 811 カウンタ

804 単発パルス発生器

805 メインカウンタ

806 デコード値発生器

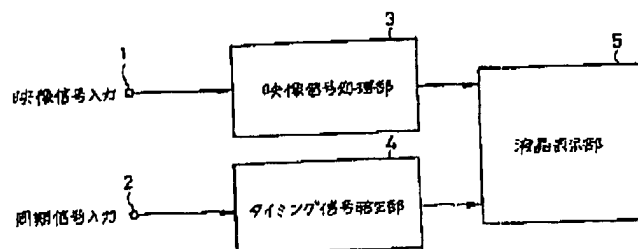
807, 812 デコーダ

808 高速クロック発生器

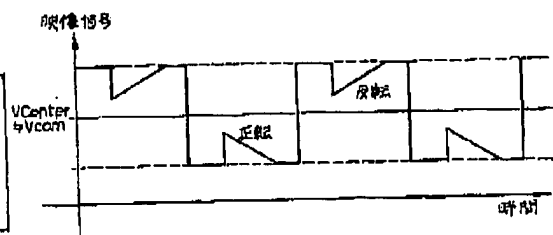
809 スイッチ

810 PLL

【図1】



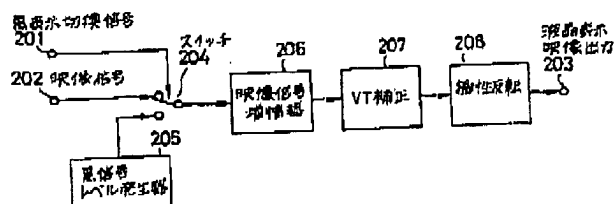
【図3】



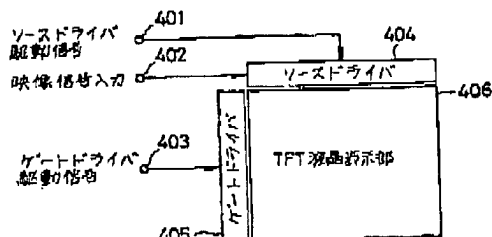
(6)

特開平 1.0-232645

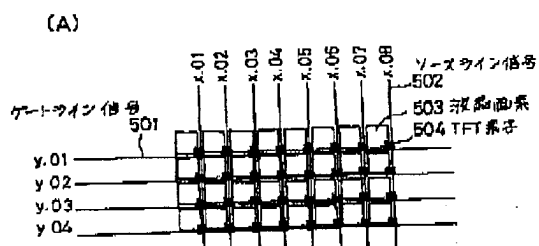
【圖2】



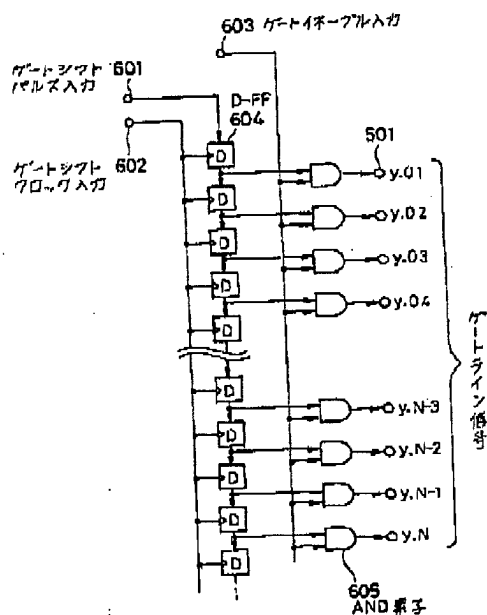
【图4】



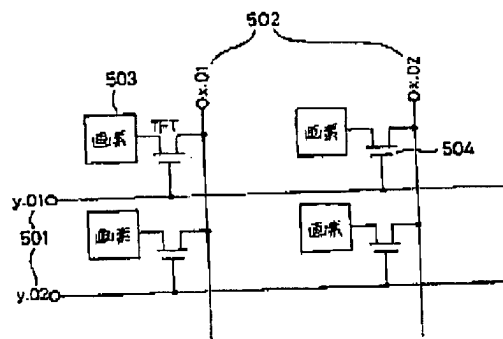
【图5】



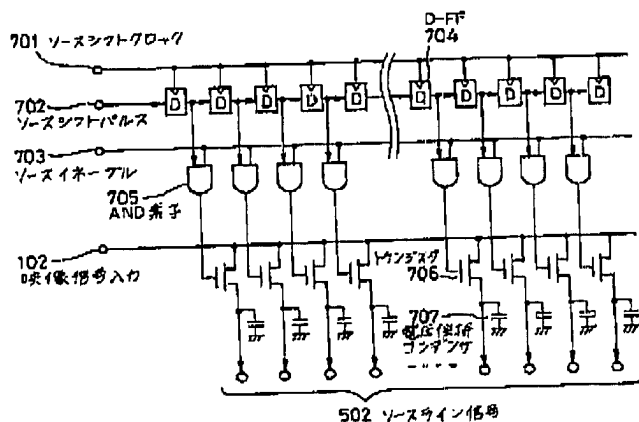
【圖6】



(B)



【图7】

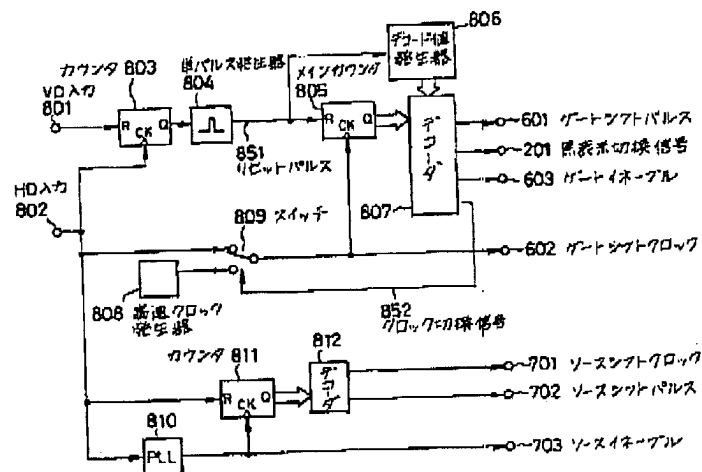




(7)

特開平10-232645

【図8】



(8)

特開平10-232645

【図9】

